

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-153799

(43)Date of publication of application : 09.06.1998

(51)Int.Cl.

G02F 1/136
G02B 5/00
G02F 1/1335
G02F 1/1343
H01L 29/786

(21)Application number : 09-229807

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.08.1997

(72)Inventor : NAKAMURA HIROYOSHI
KIHARA YUMI

(30)Priority

Priority number : 08253080

Priority date : 25.09.1996

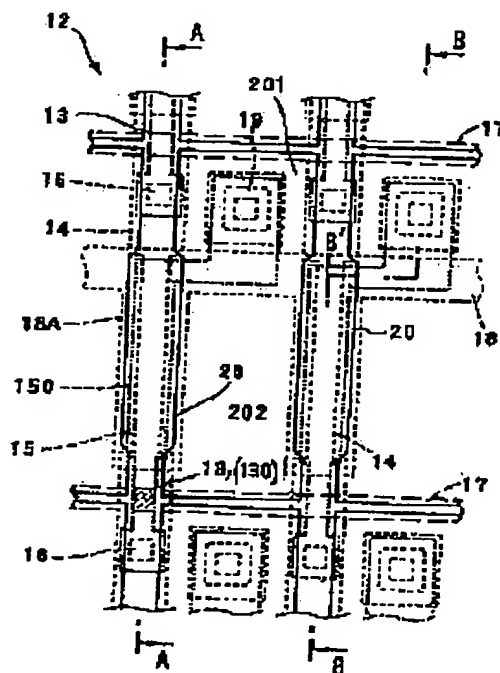
Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a liquid crystal display device which has no short-circuit defect between wires, by securing a sufficient auxiliary capacity without projecting a pixel contact part to the center of the opening part of a pixel electrode, and making the interval between an auxiliary capacity line and a scanning line larger.

SOLUTION: A signal line 14 is formed covering a semiconductor area 150 in the periphery of the gate electrode 13 of a pixel switching element to shield the switching element from light. Further, the semiconductor area 150 reaching the drain electrode (contact) 19 of the switching element is extended to below the signal line to form auxiliary capacity with the auxiliary capacity line 18 having an auxiliary capacity part 18A extended along the signal line 14. Further, the auxiliary capacity line bisects a pixel electrode 20 into a 1st area 201 and a 2nd area 202, at least part of it is arranged overlapping with the signal line in plane, and the contact 19 of the pixel electrode in the semiconductor area is arranged in a pixel electrode area 210 distant from the gate electrode.



LEGAL STATUS

[Date of request for examination]

12.08.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 평10-153799호(1998.06.09) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-153799

(43) 公開日 平成10年(1998) 6月9日

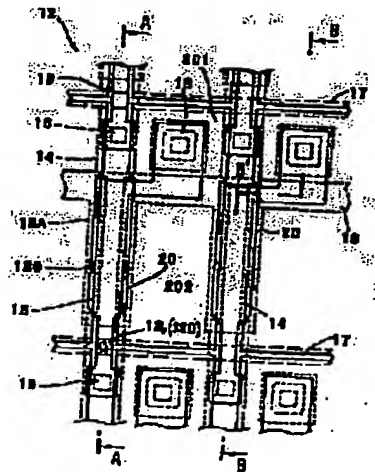
(51) Int.Cl. ⁶		識別記号		FI	
G 0 2 F	1/138	5 0 0		G 0 2 F	1/138
G 0 2 B	5/00			G 0 2 B	5/00
G 0 2 F	1/1335			G 0 2 F	1/1335
	1/1343				1/1343
H 0 1 L	29/78			H 0 1 L	29/78
					6 1 2 B
		審査請求 未請求 請求項の数15		O L (全 17 頁) 最終頁に続く	
(31) 出願番号		特願平8-228807			
(32) 出願日		平成9年(1987) 8月28日			
(33) 優先権主張番号		特願平8-253060			
(34) 優先日		平8(1996) 9月25日			
(35) 優先権主張国		日本 (J P)			
		(71) 出願人 000003078 株式会社東芝 神奈川県横浜市西区瀬川町72番地			
		(72) 発明者 中村 弘喜 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内			
		(72) 発明者 木原 由美 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内			
		(74) 代理人 弁護士 大前 典夫 (外1名)			

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 画素コンタクト部が画素電極の開口部中央に突出することなく、十分な補助容量が確保され、かつ、補助容量線と画素線との面積を大きくとることができるようにして、配線間のショート（短絡）不良が生じない液晶表示装置を得る。

【解決手段】 画素スイッチング素子のゲート電極13、周辺の半導体領域150-を覆うように信号線14を形成することにより、スイッチング素子の遮光を行う。さらに、前記スイッチング素子のドレイン電極（コンタクト）19に至る半導体領域150-を前記信号線下に延在させて、信号線14に沿って補助容量部18Aを延在した補助容量線18との間で補助容量を形成する。また、その補助容量線は画素電極20を第1領域201、第2領域202に2分し、かつ平面的に少なくとも一部が信号線に重なるように配置され、半導体領域の画素電極とのコンタクト19をゲート電極から離れた側の画素電極領域201に配置する。



【특정請求의範圍】

【請求項 1】 아레이基板と、前記아레이基板에對向して設けられた對向電極를有する對向基板と、前記아레이基板と前記對向基板との間에對入された液晶と、前記아레이基板上에設けられた複數의平行導電線で形成された走査線と、これらの走査線에交差して絶縁物를介して設けられた複數의平行導電線で形成された信號線と、前記走査線과信號線との各交差部에マトリックス狀에設けられた薄膜トランジスタからなるスイッチング素子と、

前記走査線과信號線と가圓形領域에マトリックス狀에設けられ前記スイッチング素子에接続された画素電極と、前記走査線間에平行に配置された補助電極とからなる液晶表示装置에對して、

前記補助電極は前記画素電極를第1領域과第2領域とに2分して對し、かつ前記信號線に重なるように沿って延在する補助電極를形成して對し、

前記薄膜トランジスタは半導体領域를有し、この半導体領域は前記走査線과信號線との前記交差部、交差部近傍および補助電極에重なるように延在し、延在部が前記画素電極の第1領域に重なるように對し、前記交差部でチャンネル部를形成し、このチャンネル部近傍で前記信號線とソース・ド레인電極の一方의コンタクト部를形成し、前記延在部で前記第1領域과前記ソース・드레인電極の他方のコンタクト部를形成して對することを特徴とする液晶表示装置。

【請求項 2】 前記画素電極は前記信號線の延在方向に細長い形狀를有し、前記補助電極が前記画素電極를前記延在方向に2分して對し、前記画素電極の第1領域が第2領域よりも小さく形成されてなる請求項1記載の液晶表示装置。

【請求項 3】 前記画素電極の第1領域과第2領域とのうち、前記第1領域が前記画素電極のスイッチング素子のチャンネル部よりも離れた側にある請求項2記載の液晶表示装置。

【請求項 4】 前記走査線、前記補助電極および前記補助電極が同一パターン金屬膜で形成され、前記半導体領域、前記同一パターン金屬膜、前記信號線および前記画素電極が絶縁物를介して順次積層されてなる請求項1記載の液晶表示装置。

【請求項 5】 前記走査線、前記信號線および前記補助電極のすくなくとも1つが透光材料で形成され画素電極の周縁部と重なるように對し、請求項1記載の液晶表示装置。

【請求項 6】 前記画素電極は、透光材料からなる透光層が積層されて對することを特徴とする、請求項5記載の液晶表示装置。

【請求項 7】 前記透光層は、前記画素電極が形成された絶縁膜とは別の絶縁膜上に形成され、コンタクトホールを介して、前記スイッチング素子の前記ソース・ドレ

イン電極の一方および前記画素電極にそれぞれ電氣的に接続されて對することを特徴とする請求項6記載の液晶表示装置。

【請求項 8】 表示領域를囲む前記基板上の周縁の絶縁部には、透光材料からなる他の透光層が形成されて對することを特徴とする請求項8に記載の液晶表示装置。

【請求項 9】 前記基板上の前記絶縁部に形成された透光層は、導電性の材料により形成され、一定電位に接続されて對することを特徴とする請求項9記載の液晶表示装置。

【請求項 10】 前記基板上の前記絶縁部に形成された前記透光層により形成される透光部には、前記信號線又は前記走査線のうち少なくとも1つが延在するたための駆動回路の少なくとも一部が絶縁膜を介して平面的に重なるように配置されて對することを特徴とする請求項9に記載の液晶表示装置。

【請求項 11】 아레이基板と、前記아레이基板에對向して設けられた對向電極를有する對向基板と、前記아레이基板と前記對向基板との間에對入された液晶と、前記아레이基板上에設けられた複數의平行導電線で形成された走査線と、これらの走査線에交差して絶縁物를介して設けられた複數의平行導電線で形成された信號線と、前記走査線과信號線との各交差部에マトリックス狀에設けられた薄膜トランジスタからなるスイッチング素子と、

前記走査線과信號線と가圓形領域에マトリックス狀에設けられ前記スイッチング素子에接続された画素電極と、前記走査線間에平行に配置された補助電極と、前記아레이基板と前記對向基板との間の空間를保持するために前記아레이基板側と前記對向基板側の前記液晶に接触する圈に設けられラビング處理された配向膜とからなる液晶表示装置에對して、

前記補助電極は前記画素電極를第1領域과第2領域とに2分し、かつ前記信號線に重なるように沿って延在する補助電極를形成して對し、

前記薄膜トランジスタは半導体領域를有し、この半導体領域は前記走査線과信號線との前記交差部、交差部近傍および補助電極에重なるように延在し、延在部が前記画素電極の第1領域に重なるように對し、前記交差部でチャンネル部를形成し、このチャンネル部近傍で前記信號線とソース・ド레인電極の一方의コンタクト部를形成し、前記延在部で前記第1領域과前記ソース・드레인電極の他方のコンタクト部를形成し、

前記スペーサは柱狀に形成され、基板間方向の断面が前記ラビング處理方向に細長い形狀를有して、前記画素電極の第1領域近傍の前記信號線上の領域に配置されて對することを特徴とする液晶表示装置。

【請求項 12】 前記画素電極の第1領域に對向する對向基板の領域に透光層が形成されて對することを特徴とす

る請求項 11 記載の液晶表示装置。

【請求項 13】 前記アレイ基板と前記対向基板との間の隙間を制御するスペーサ柱の配向方向の形状寸法は他の方向の形状寸法よりも略短いことを特徴とする請求項 11 記載の液晶表示装置。

【請求項 14】 前記スペーサ柱により生じる液晶分子の配向不良領域は、前記アレイ基板上の透光性部材により遮光されていることを特徴とする、請求項 11 記載の液晶表示装置。

【請求項 15】 前記スペーサ柱により生じる液晶分子の配向不良領域は、前記対向基板上の透光層により遮光されていることを特徴とする、請求項 12 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に関する。さらに詳しくは、本発明は、ポリシリコンにより構成されたスイッチング素子を有し、駆動回路を一体に構成することのできる液晶表示装置に関するものである。

【0002】

【従来の技術】 液晶表示装置としては、従来から多くの種類のものが出発されている。しかし、一般に多用されているものは、ツイステッドネマティック型液晶に代表されるような液晶層を有するものである。この種類の液晶表示素子では、液晶分子の配列のねじれを制御することによって、その液晶層を透過する光の偏光性を制御して表示を行う。さらに詳しく説明すると、その動作原理は、液晶層における光の屈折率または透光性と偏光板の偏光性とを利用して、液晶表示パネルの横断面側への光の透過を制御することにより表示を行うものである。

【0003】 この液晶表示パネルには、各画素の液晶に印加する電圧をスイッチングするために、薄膜トランジスタ（以下、「TFT」と略す）が形成されている。このような TFT は、その材料として、アモルファスシリコンを用いたものと、ポリシリコンを用いたものとが製品化され、または開発されている。これらのうち、ポリシリコン TFT を用いたものは、ポリシリコンの移動度が高いことに起因する利点を有する。すなわち、第 1 に、ポリシリコンの移動度が高いために、単位時間あたりに TFT に流すことのできる電荷量を増やすことができる。従って、TFT のサイズを小さくすることができ、その結果として画素の開口率を高めることができる。第 2 に、TFT の駆動回路をポリシリコンを用いて同一基板上に形成することができる。従って、駆動用 IC およびその実装工程が不要となり、低コスト化が実現できる。さらに、将来、液晶パネルについて必要とされることが予想される、表示領域外の駆動部分の幅の低減も実現することができる。ポリシリコン TFT は、以上

説明したこれらの利点を有するために、重要技術として注目されている。

【0004】

【発明が解決しようとする課題】 このようなポリシリコン TFT を用いた駆動回路一体型の液晶表示装置では、小型高精細のパネルができることから投影型のプロジェクタ用やビデオカメラのモニタ用表示素子として開発され、製品化もされている。

【0005】 これらのうち、投影型では、一般に、高輝度化を達成するために、光の3原色である、赤、緑、青（以下、「R、G、B」と略す）用の3枚のパネルを用いた3板式でカラー画像を表示する方法が採用されている。また、ビデオカメラ用では、カラーフィルタを用いてカラー画像を表示する単板式方式が用いられている。

【0006】 さらに、ビデオカメラ用の単板式液晶パネルを投影型に適用した低輝度のプロジェクタも製品化されている。

【0007】 しかし、カラーフィルタを用いた単板式の液晶表示素子では、3板式の液晶表示素子と比べて、3倍の画素数が必要であるために、3板式と同じ表示サイズの表示素子では開口率が低下する。また、カラーフィルタによる光損失もあり、高輝度のプロジェクタを実現することが困難であるという問題があった。このために、従来は、プロジェクタとしては3板式が主流であった。しかし、このような3板式では、パネルが3枚必要であること、また、光分離・合成光学系が必要であることから低価格化が難しいという問題があった。

【0008】 そこで、低価格化の観点から、いくつかの新しい方式の単板式プロジェクタが注目されている。これらの新しい方式の中では、特に、色分離・方向転換のためのダイクロックミラー群とマイクロレンズ付き液晶パネルを用いたものや、色分離と集光の両方の機能を有するホログラム光学素子付き液晶パネルを用いた単板式プロジェクタの開発が盛んに行われている。このうち、ホログラム光学素子（以下、「HOE」と略す）を用いた方式では、HOEを張り合わせた液晶パネルの厚さは、光波と、液晶パネルに平行光を導く光学系と、投影レンズのみが主要な構成要素であり、光学系が非常に簡略化され、低コストが計れる期待がある。そこで、以下では、このHOEについて説明する。なお、HOEの技術内容を開示した参考文献としては、例えば、「アジア・ディスプレイ学会1995年予集、第277〜282頁を挙げることができる。

【0009】 図17は、HOEを用いた液晶表示装置の動作原理を表した概略斜視図である。

【0010】 同図では、便宜的に、液晶表示装置のうちR、G、Bの1組の画素の部分についてのみ示した。同図に示したように、HOE102は、液晶パネル104の光入射側に配置されている。ここで、液晶パネル104は、TFTが形成されたアレイ基板103とそれに向

かい合った対向基板 106 によって構成されている。
 【0011】そして、液晶パネルの R、G、B に対応する一組の画素毎に、HOE102 が設けられている。光造からの白色光は平行光 103 とされ、各 HOE102 に対して約 40 度の入射角で入射する。各 HOE102 は回折効果とレンズ効果を有する。すなわち、各 HOE102 は、入射した白色光 103 を、分光し、集光して、その焦点面上に、連続した光スペクトル分布を形成する。従って、その焦点面付近に液晶パネル 104 を適切に配置することによって、その液晶パネルの R、G、B の各画素の開口部 107、108、109 にそれぞれの色光成分を入射させることができる。つまり、HOE102 に入射した白色光 103 は、連続的に光スペクトルに分光され、そのうち R、G、B に相当する色光 110、111、112 のみが液晶パネル 104 の開口 107、108、109 を介して透過して、R、G、B の出射光 115、116、117 となっている。このようにすることで、カラーフィルタを用いずにカラー表示が可能となり、カラーフィルタによる光損失もなくなるため、光学系の小型化・低コスト化が達成できるという利点がある。
 【0012】しかし、このような HOE 等を用いた単板式プロジェクタに用いられる液晶表示装置は、3 板式とは異なり、R、G、B に対応する画素が必要のために、画素数が 3 倍になり高解像化が必要となる。しかも、図 17 に示したようなストライプ状の色画素の配置を採用する場合は、画素の縦横比は 3 : 1 となり横方向のピッチが狭くなる。従って、各画素内に配置すべき TFT や補助電極の配置を、従来の縦横比が約 1 : 1 の場合と同様にしたのでは、開口部の内に TFT 等をそのまま配置することになり TFT 等が障害となり開口率が実質的に大きく低減してしまうという問題がある。以下に、この問題について、詳しく説明する。
 【0013】図 18 は、画素の縦横比が概ね 1 : 1 であるような、従来の液晶表示装置のアレイ基板の一例を示す平面図である。この例では、映像信号は、外部から信号線 134 に供給され、TFT のソース・コンタクト 133 からゲート部 130A、130B を経由して画素電極コンタクト 140A、140B を介してそれぞれの画素電極 137A、137B に供給される。各ゲート部 130A、130B は、駆動線 139A、139B によってスイッチングされる。また、各画素電極に供給された映像信号電圧を保持するために、補助電極線 135 とポリシリコン層 131 との間で補助電極部 132 が形成されている。
 【0014】同図に示した例では、電極画素 TFT のゲート部 130A と補助電極部 132 の一部を信号線 134 の下に配置し、また、隣接する上下 2 画素の間共通する補助電極線 135 を配置している。そして、この配置によって 3 μ m の配線ルールを用いて 40 μ m 角の画

素で 36% の開口率を得ている。しかし、この構造では、ほぼ正方形の開口の中央付近に、TFT のドレイン・コンタクトすなわち画素電極コンタクト 140A、140B、... が形成されている。そして、この構造を、画素が長方形で横方向のピッチが狭いような場合に適用すると、細長い開口部の中央付近に画素電極コンタクト部が突出する。その結果として、上述した HOE やマイクロレンズと組み合わせる場合に、各画素を透過する際の最も光の強度が高い光が遮光されることとなる。

【0015】すなわち、前述したように、HOE に入射した白色光は、分光、集光され、その焦点面上に、連続した光スペクトル分布を形成する。従って、R、G、B に対応する各画素は、その光スペクトル分布の R、G、B に対応する位置に、均一な形状の開口を有することが望ましい。

【0016】しかし、図 18 に示すように画素の開口内に、前述したような電極コンタクトによる遮光部が突出し、各画素間の分離が不十分であると、純粋な R、G、B の光のみを効率良く受けることが困難となり、色純度も低下する。

【0017】以上、説明した理由から、HOE を用いた単板式の液晶表示パネルでは、従来の構造を用いて、高性能のパネルを実現することが困難であった。

【0018】また、画素が縦長で、駆動線や補助電極線方向の横方向長が短く、信号線方向の縦方向長が長い場合は、ポリシリコン TFT のようにソース・ドレイン部にコンタクトホール形成が必要なものでは画素が微細になると横方向の画素ピッチ間に TFT を横方向に配置することが難しく、さらに横方向ピッチが小さいので補助電極線を大きく形成することが難しい。

【0019】さらに、図 18 に示したような従来の構造では、隣接する 2 本の駆動線 139A、139B が画素間の狭いスペースに配置されるためにショート不良が生じやすいという問題もある。また、図 18 に示したような共通補助電極線 135 を用いないこととすると、画素間の狭いスペースに、補助電極線と駆動線を平行して配置しなければならないので、これらのショート不良が生じやすくなる。このような配線間のショート不良を避けるために、配線間隔を狭げると、開口率が低下するという問題もあった。

【0020】本発明の目的はこのような問題点を解決するものである。

【0021】

【課題を解決するための手段】即ち、本発明の液晶表示装置は、アレイ基板と、前記アレイ基板に対向して設けられた対向電極を有する対向基板と、前記アレイ基板と前記対向基板との間に封入された液晶と、前記アレイ基板上に設けられ複数の平行導電線で形成された駆動線と、これらの駆動線に交差して格線物を介して設けられ

た複数の平行電極で形成された信号線と、前記走査線と信号線との各交差部にマトリックス状に設けられた薄膜トランジスタからなるスイッチング素子と、前記走査線と信号線とが交わる領域にマトリックス状に設けられ前記スイッチング素子に接続された画素電極と、前記走査線間に平行に配置された補助容量線とからなる液晶表示装置において、前記補助容量線は前記画素電極を第1領域と第2領域とに2分し、かつ前記信号線に重なるように沿って延在する補助容量線を形成しており、前記薄膜トランジスタは半導体領域を有し、この半導体領域は前記走査線と信号線との前記交差部、交差部近傍および補助容量部に重なるように延在し、延在端が前記画素電極の第1領域に重なるように、前記交差部でチャンネル部を形成し、このチャンネル部近傍で前記信号線とソース・ドレイン電極の一方のコンタクト部を形成し、前記延在端で前記第1領域と前記ソース・ドレイン電極の他方のコンタクト部を形成していることを特徴とするものとして構成される。

【0022】また、前記画素電極は前記信号線の延在方向に細長い形状を有し、前記補助容量線は前記画素電極を前記延在方向に2分しており、前記画素電極の第1領域が第2領域よりも小さく形成されてなるものとして構成される。

【0023】前記画素電極の第1領域と第2領域のうち、前記第1領域が前記画素電極のスイッチング素子のチャンネル部よりも離れた側にあるものとして構成される。

【0024】前記走査線、前記補助容量線および前記補助容量部が同一パターン金属膜で形成され、前記半導体領域、前記同一パターン金属膜、前記信号線および前記画素電極が絶縁膜を介して順次積層されてなるものとして構成される。

【0025】前記走査線、前記信号線および前記補助容量線のすくなくとも一つが透光材料で形成された画素電極の周縁部と重なっているものとして構成される。

【0026】前記画素電極は、透光材料からなる透光層が積層されてなるものとして構成される。

【0027】前記透光層は、前記画素電極が形成された絶縁膜とは別の絶縁膜上に形成され、コンタクトホールを介して、前記スイッチング素子の前記ソース・ドレイン電極の一方および前記画素電極にそれぞれ電気的に接続されているものとして構成される。

【0028】前記表示領域を囲む前記基板の上の周縁の領域には、透光材料からなる他の透光層が形成されているものとして構成される。

【0029】前記基板の上の前記絶縁部に形成された透光層は、導電性の材料により構成され、接地電位に接続されているものとして構成される。

【0030】前記基板の上の前記絶縁部に形成された前記透光層により形成される透光部には、前記信号線又は前

記走査線のうちの少なくともいずれかを駆動するための駆動回路の少なくとも一部が絶縁膜を介して平面的に重なるように配置されているものとして構成される。

【0031】アレイ基板と、前記アレイ基板に封入して設けられた対向電極を有する対向基板と、前記アレイ基板と前記対向基板との間に封入された液晶と、前記アレイ基板上に設けられ複数の平行電極で形成された走査線と、これらの走査線に交差して絶縁物を介して設けられた複数の平行電極で形成された信号線と、前記走査線と信号線との各交差部にマトリックス状に設けられた薄膜トランジスタからなるスイッチング素子と、前記走査線と信号線とが交わる領域にマトリックス状に設けられ前記スイッチング素子に接続された画素電極と、前記走査線間に平行に配置された補助容量線と、前記アレイ基板と前記対向基板との間の隙隙を保持するために前記アレイ基板側に設けられたスペーサと、前記アレイ基板側と前記対向基板側の前記液晶に接触する面に設けられラビング処理された配向膜とからなる液晶表示装置において、前記補助容量線は前記画素電極を第1領域と第2領域とに2分し、かつ前記信号線に重なるように沿って延在する補助容量線を形成しており、前記薄膜トランジスタは半導体領域を有し、この半導体領域は前記走査線と信号線との前記交差部、交差部近傍および補助容量部に重なるように延在し、延在端が前記画素電極の第1領域に重なるように、前記交差部でチャンネル部を形成し、このチャンネル部近傍で前記信号線とソース・ドレイン電極の一方のコンタクト部を形成し、前記延在端で前記第1領域と前記ソース・ドレイン電極の他方のコンタクト部を形成し、前記スペーサは柱状に形成され、基板面方向の断面が前記ラビング処理方向に細長い形状を有して、前記画素電極の第1領域近傍の前記信号線上の領域に配置されているものとして構成される。

【0032】前記画素電極の第1領域に封入する対向基板の領域に透光層が形成されているものとして構成される。

【0033】前記アレイ基板と前記対向基板との間の隙隙を封入するスペーサ柱の配向方向の形状寸法は他の方向の形状寸法よりも略短いのものとして構成される。

【0034】前記スペーサ柱により生じる液晶分子の配向不良領域は、前記アレイ基板上の透光性部材により透光されているものとして構成される。

【0035】前記スペーサ柱により生じる液晶分子の配向不良領域は、前記対向基板上の透光層により透光されているものとして構成される。

【0036】なお、前記配向不良領域は、他の領域に比較して、光透過率が異なる領域を言う。

【0037】

【発明の実施の形態】

(実施形態1) 本発明による実施形態1の液晶表示装置は、画素スイッチング素子のゲート電極周辺の活性層を

図のように信号線を形成することにより、スイッチング素子の遮光を行なう。

【0038】さらに、前記スイッチング素子のドレイン領域を前記信号線配線下に存在させて、スイッチング素子のゲート絶縁膜と同一の絶縁膜と補助容量線との間で補助容量を形成する。また、その補助容量線は信号線を挟んで隣接する両側の画素電極と平面的に少なくとも一部が重なるように配置され、画素電極とのコンタクト部を補助容量線と一行上の画素行の走査線との間に配置する構成を有する。画素電極は走査線と信号線とが固む接合領域に形成され、走査線間に配置される補助容量線は画素電極下を通過し、基板面で見ると2領域に分割するパターン配置となる。TFTの画素コンタクト部は画素電極領域の一方すなわち一行上の画素行の走査線に隣接する領域に形成される。

【0039】すなわち、複数の信号線はアレイ基板上に平行導電線としてストライプ状に配置されており、また複数の補助容量線および走査線はアレイ基板上に信号線に交差して平行導電線としてストライプ状に配置されている。

【0040】本発明による液晶表示素子は、このような構成によって高開口率の画素を実現することができる。特に、この構成は正方形の画素領域にRGBの3画素電極を形成するため1画素の縦横比が3:1のような画素が長い黒色カラー表示用液晶表示素子に有効である。即ち、上述のようにTFTと補助容量を長い縦方向に形成し、TFTのソース・ドレインでんきよく一方例えばドレイン領域の画素電極とのコンタクト部を補助容量線と一行上の画素行の走査線との間で画素の上部の中心近くに配置することで画素コンタクト部が開口部に突出することなく、充分な補助容量が確保され、かつ、補助容量線と走査線とのスペースを大きくとることができる。

【0041】以下に図面を参照しつつ、本発明の実施形態について説明する。

【0042】図1は、本発明による液晶表示装置10のアレイ基板12上の半導体領域150であるポリシリコン層(多結晶シリコン)と各配線の配置関係を説明するための概略平面図である。複数の信号線14はアレイ基板12上に平行導電線としてストライプ状に配置されており、また複数の補助容量線18および走査線17はアレイ基板12上に信号線に交差して平行導電線としてストライプ状に配置されている。

【0043】また、図2(a)、(b)は、それぞれ、図1のA-A線およびB-B'-B線で切取して矢印方向から眺めた、液晶表示装置10の概略断面図である。この液晶表示装置10のアレイ基板12では、各画素に印加されるべき映像信号電圧は、信号線14を介して画素スイッチング用ポリシリコン薄膜トランジスタ15(以下、「p-SiTFT」と略す)のソースコンタ

クト(電極)16に供給される。p-SiTFT15はポリシリコンの半導体領域150の両端にソース・ドレイン電極16、19を有し、領域の中間に設けたゲート絶縁膜23を介してゲート電極13が配置され、ゲート電極13下に形成されるチャンネル部130を電圧制御することによってスイッチング機能を発揮する。p-SiTFT15は、そのチャンネル部を形成するゲート13に走査線17が接続され、映像信号電圧のスイッチングを行う。また、p-SiTFT15は、ドレイン領域側において、補助容量線18との間で補助容量18Aを形成し、映像信号電圧を一定時間保持できるようにしている。さらに、p-SiTFT15のドレイン部にはドレインコンタクト19を介して画素電極20が接続され、各画素の液晶22に映像信号電圧を印加する。補助容量線18は、画素電極20を第1領域201と、第2領域202とに2分している。また、第2領域202は開口部であるため、第1領域201よりも大きいことが望ましい。さらに、同液晶表示装置の周縁部には、図2(c)に示すように走査線駆動回路171および信号線駆動回路141が形成されている。

【0044】次に、この液晶表示装置10の製造工程について、図2(a)、(b)を参照しながら説明する。

【0045】まず、p-SiTFT15は、ガラス基板11上にアルファスシリコン膜をプラズマCVD法(PECVD法)により約500Å(オングストローム)増積後、脱水素処理をして、レーザ・アニール法により半導体領域である多結晶シリコン膜とし、さらに島状にパターンニングして形成した。その上に、ゲート絶縁膜23を約1000Å増積して、さらに、モリブデン・タングステン合金(MoW)を4000Å増積し、パターンニングすることによって、TFTのゲート電極となる走査線17を形成する。この次に、セルフアラインで不純物を注入し、さらに、補助容量線18を形成する。次に走査線17上に酸化シリコンからなる第1層間絶縁膜24を約5000Å増積し、ソース・ドレイン部のコンタクトホールを形成し、6000Åの厚さのMo/AI/Moの多層構造からなる信号線14とドレイン電極19とを形成した。

【0046】ここで、画素スイッチング用TFT15はnチャネル型トランジスタで構成するが、図3に示す駆動回路部141、171はnチャネルとpチャネルのCMOS構造で形成する。したがって、この駆動回路部のソース・ドレイン領域形成の不純物注入はnチャネルとpチャネルとに分けて行った。また、画素TFT15は、n-領域を有するLDD(Lightly Doped Drain)構造とした。

【0047】次に、第2層間絶縁膜25として、窒化シリコンを約5000Å増積した。さらに、その上に第3層間絶縁膜26としてアクリル樹脂を約2μm増積することにより、画素領域および周縁の駆動回路領域の凹凸

を平坦化した。この平坦化層としての第3層絶縁膜26の厚さとしては、1~5 μ m程度が望ましい。次に、第2層絶縁膜25と第3層絶縁膜26にコンタクトホールを開け、画素電極20を形成した。平坦化のための層間絶縁膜26は、平坦化が有効に達成されるものであれば良く、例えば、アクリル樹脂以外の有機物層、または、SOG (スピンオンガラス) 等の無機物層であっても良い。さらに、このような有機物層の上にさらに無機物層を重ねた複合層として形成しても良い。また、有機物層としては、感光性のものを用いる方が工程が簡便されるが、感光性を有しないものを用いても良い。

【0048】上記のようにして形成したアレイ基板12上に、例えばポリイミドからなる、配向膜121を形成し配向処理を行う。さらに、封向電極を有する封向基板28にも配向膜281を形成し配向処理を行う。そして、アレイ基板12と封向基板28とを封向して配置し、図3に示す様に各基板間の周縁部を囲むようにシール材280を塗布して張り合わせ、その後シール材を硬化させる。そして、従来通りシール封着領域の切り目部分から減圧注入法で液晶22を注入し、その側出入口を封止材を用いて封止して、液晶表示装置10が完成する。

【0049】ここで、図1および図2に示すように、画素TFT15は信号線14の下に形成され、かつ、その信号線14は画素TFT15のゲート電極付近を透光するようにTFT15上に偏広に形成されている。このように、信号線14によってTFT15の半導体領域を透光することによって、光反射によるTFT15のリーク電流の増加を避けることができる。

【0050】また、TFT15のドレイン領域は信号線方向に偏広に延長され、クランク状に偏広し、画素電極201の上部領域に位置するドレイン電極19で終端している。この長いドレイン領域は、ゲート絶縁膜23と同一の絶縁膜を介して、補助容量線18との間で補助容量を形成している。このように、ドレイン領域を縦長の画素の縦方向に偏広させ、補助容量線18Aを形成することによって、充分に大きい補助容量値が得られる。

【0051】また、図1に示したように、n行の画素のドレイン電極19と補助容量線18は、n行の画素の上面に露出させて配置されている。このような配置にすることにより、画素の開口部に従来のような突出した透光部が形成されず、均一な形状を有する開口が得られる。したがって、H06と組み合わせた場合も、光スペクトル分布のR、G、B成分のみを効果的に開口部に通じることができ、色純度も顕著に改善する。

【0052】また、図1に示したように、画素電極20は層間絶縁膜25、26等を介して補助容量線18、信号線14および定電線17と平面的に一部が重なり合っている。こうすることによって、透光されていない部分の全ての液晶に、信号電圧を印加することができる。すな

わち、これは、開口率を大きくするために非常に有効である。

【0053】さらに、場合によっては、画素TFT15を形成したアレイ基板12上の各配線が透光層として機能するために、封向基板28に透光層を形成するしなくても所定の効果が上がるとの利点を有している。すなわち、従来は、定電線と補助容量線との間やこれらの配線と、信号線もしくは画素電極との間の隙間から光が漏れ出すことを防ぐための透光層をアレイ基板12または、封向基板28に形成する必要があった。

【0054】しかし、本発明によれば、これらの付加的な透光層を形成しなくても、透光層を形成したとほぼ同等の効果が上げることができる。従来のように封向基板28側に透光層を形成して液晶セルを組み立てる際に、合わせ精度の不足による開口率低下が生じていたが、本発明のかかる様に透光層を形成しない場合では、そのような問題も生じなくなる。なお、本発明で、透光層を形成すれば、なおより完全な透光効果を得ることが出来ることはいうまでもない。

【0055】ここで、図1の1画素(3画素でRGBを構成する)は横方向が26 μ mで縦方向が78 μ mである。本発明によれば、このような微細な画素でも、開口率が43%と大きくとれる。また、縦方向に偏広させた補助容量線は、充分に大きな電気容量を有し、本発明は、上記のような縦長の画素を有する場合に非常に有効であることが分かった。

【0056】(実施形態2) 次に、本発明による液晶表示装置の実施形態2について説明する。

【0057】図4は、本発明による液晶表示装置の実施形態2を表す概略平面図である。

【0058】また、図5は、図4のA-A'-A'線で切断して矢印方向から眺めた、同液晶表示装置の概略断面図である。これらの図においては、図1または図2と同一の部分には、同一の符号を付して説明を省略する。

【0059】図3および図4に示した液晶表示装置30では、図1に示した液晶表示装置10よりも、画素電極20aの形成領域が大きい。すなわち、図3に示したように、画素電極20aは、平面的に見て、定電線17および信号線14と一部分において重なり合っていない。したがって、図3に示したように、平面的に見た場合の画素電極20aと定電線17および信号線14との絶縁部分では、液晶に信号電圧が供給されず、透光する必要が生ずる。そこで、封向基板28a上に透光層31が形成されている。

【0060】このように、画素電極20aを小さく形成し、信号線14との重なり部を少なくすると、これらの重なり合いによって生じるカップリング容量を低減することができるという利点がある。また、画素電極20aとしては、通常、ITO (インジウム・スズ酸化物) が用いられるが、エッチング精度の高いドライエッチン

가困難であり, 웨ットエッチングに頼らざるを得ないために, そのような画素電極200を小さめに形成することによって, プロセスマージンを改善することができる. なお, 傾方向が狭い縦長の画素においては, 対向基板側に形成される透光層31が上下方向を規定する場合は, 合わせマージンによる開口率低下は小さい.

【0061】(実施形態3)次に, 本発明による液晶表示装置の実施形態3例について説明する.

【0062】図6は, 本発明による液晶表示装置の実施形態3を表す概略平面図である. また, 図7は, 図6のA-A'-A線で切断して矢印方向から眺めた, 概略断面図である. これらの図においては, 図1または図2と同一の部分には, 同一の符号を付して, 説明を省略する.

【0063】図6および図7に示した液晶表示装置40では, 図1に示した液晶表示装置10と異なり, 走査線17と補助容量18との間の領域の少なくとも一部の画素電極20の上に透光層41が形成されている. すなわち, 液晶表示装置40では, $(n-1)$ 行の走査線17およびn行の補助容量18とそれぞれ重なり合うように, 透光層41がn行の画素に形成されている. この透光層の材料としては, 黒レジスト等の有機材料や, 透光性の金属材料もしくは無機材料を用いることが望ましい. そのような金属材料としては, 例えば, Mo, Ti, MoSi, WSi等を用いるとよい.

【0064】なお, 図6に示す実施例では, 信号線14と透光層41とにより画素の開口部が長方形に透光部材で囲む形となる. ところで, プロジェクタで画素の上にマイクロレンズを用いる場合は, 光をR, G, Bに対応する画素に入射させる為, 開口形状が円に近い方が光の利用効率が良くなる. したがって, 図5に示す実施例では, 開口部の形状が略長方形となるので, 開口部の開口形状がより円に近くなり, プロジェクタに用いた場合光の利用効率が良くなる. また, 開口部を透光部材で囲む形を取っている為, R, G, Bの色が鮮明になる効果もある.

【0065】このように, 金属等の導電性材料からなる透光層41を積層することにより, 層間絶縁膜26, 25等が厚い場合に懸念される, コンタクトホール部42での画素電極20の段切れの問題も解消される. なお, 透光層の透過率としては0.1%以下となるように, その材料および厚さを選択することが望ましい.

【0066】(実施形態4)次に, 本発明による液晶表示装置の実施形態4について説明する.

【0067】図8は, 本発明による液晶表示装置の実施形態4を表す概略断面図である. また, 図9は, 図8の平面図である. 図8に示した液晶表示装置50では, 画素領域だけでなく, パネルの周縁部にも透光層51が形成されている. すなわち, 液晶表示装置50では, 前述した図6および図7に示したようなスイッチング素子が

形成されている領域からなる表示領域の画素素子との透光層41を除く, さらに, アレイ基板12のこの表示領域を囲む周縁の領域部に形成した信号線や走査線の駆動回路部53の上にも平坦化層を介して透光層51が形成されている. このようにすることで, 対向電極基板28側に透光層を形成する必要がなくなり, 対向基板の合わせ精度を考慮する必要がなくなる. ここで, 表示領域外周に形成された透光層51を導電性材料で形成した場合は, 透光だけでなく, 電気的なシールドの効果も得ることができる. すなわち, 透光層51の電位を, 対向電極28の対向電極や, 補助容量電極18, あるいはグラウンド電位などと同電位とすること又は対向電極(コモン電極)と同電位とすることで, シールド層としての役目も持たせることができるという利点がある.

【0068】(実施形態5)次に, 本発明による液晶表示装置の実施形態5について説明する.

【0069】図10は, 本発明による液晶表示装置の実施形態5を表す概略断面図である.

【0070】ここで, 図10は, 例えば図1におけるB-B'-B線で切断した断面図に対応し, 図2(e)や, 図5, 図7に対応する断面図である. 図10においては, 図1または図2と同一の部分には, 同一の符号を付して, 説明を省略する.

【0071】図10に示した液晶表示装置60は, 前述した図6および図7に示した液晶表示装置40の画素電極20と透光層の積層順序を変えた構造を有する. すなわち, 図8に示した液晶表示装置60では, 透光層61をドレイン電極19と画素電極20との間に介在させている. このように, 金属等の導電性材料からなる透光層61を介在させることにより, 層間絶縁膜26, 25等が厚い場合に懸念される, コンタクトホール部62での画素電極20の段切れの問題も解消される.

【0072】また, 図8および図9に示した液晶表示装置50のように, 表示領域周辺の領域部にも透光層51を同時に形成してもよい. このように, 表示領域外周に形成された透光層51を導電性材料で形成した場合は, 透光だけでなく, 電気的なシールドの効果も得ることができる. すなわち, 透光層51の電位を, 対向電極28の対向電極や, 補助容量電極18, あるいはグラウンド電位などと同電位とすることで, シールド層としての役目も持たせることができるという利点がある.

【0073】(実施形態6)次に, 本発明による液晶表示装置の実施形態6について説明する.

【0074】図11は, 本発明による液晶表示装置の実施形態6を表す概略断面図である. ここで, 図11は, 例えば図1におけるB-B'-B線で切断した断面図に対応し, 図2(e)や, 図5, 7および10に対応する断面図である. 図11においては, 図1または図2と同一の部分には, 同一の符号を付して, 説明を省略する.

【0075】図11に示した液晶表示装置70では, 第

2層間絶縁膜25とドレイン電極19の上に上記透光層71を形成した点が、まず異なる。このような透光層71は、金属等の導電性の材料により形成する。また、この透光層71と画素電極20との接合は、ドレイン電極19のコンタクトホール72と同一の位置でも良い。しかし、図11に示したように、透光層71と画素電極20とを、ドレイン電極19のコンタクトホール72の位置からずらして、さらに、大きなコンタクトホール73として、接続することもできる。

【0076】このように、コンタクトホール72と73とをずらして形成することにより、コンタクトホールが重なる場合に発生しやすい画素電極20のコンタクト不良を防ぐことができる。さらに、図示しないが、例えば、透光層71と画素電極20とのコンタクトホールを複数形成することやホール径をより大きく形成することも可能となり、画素電極20のコンタクト不良を低減できるという利点も生じる。

【0077】さらに、アレイ基板の表面の凹凸による配向不良を低減することができる。すなわち、図6や図8に示したように、透光層と画素電極20を積層した場合は、アレイ基板の第3層間絶縁膜26の表面上で画素電極20の端部にそれぞれの層厚を足し合わせた高さの段差が生ずる。このような段差は、配向膜121、122の配向処理の際に、段差の麓となる部分に配向不良を生ずることがある。しかし、図9に示した構造では、第3層間絶縁膜26の表面上では、透光層71は画素電極20とは積層されないため、電極20の端部で段差が大きくなることはない。したがって、配向不良が増大されることもなく、配向処理の観点から望ましいという利点も生ずる。

【0078】(実施形態7)次に、本発明による液晶表示装置の実施形態7について説明する。

【0079】図12は、本発明による液晶表示装置の実施形態7を示す概略平面図である。また、図13は、図12のA-A'線に沿って切取って矢印方向から見た概略断面図である。これらの図において、図1または図2と同一の部分には、同一の符号を付して、説明を省略する。

【0080】図12に示した液晶表示装置80では、アレイ基板上で画素TFTのゲート電極近傍に、セル間隙を制御するためのスペーサ柱81が形成されている。このスペーサ柱81は、画素電極20を形成した後に、例えば透明または半透明な有機材料で形成すればよい。本実施例ではアクリル系樹脂を主成分とする樹脂を用いて形成した。また、スペーサ柱形成には感光性の材料を用いた方が工程が短くなり有効である。さらに、いわゆるボツ型感光性材料よりもネガ型感光性材料の方が工程中のゴミの影響を受けにくいために望ましい。

【0081】一般に、このようなスペーサ柱をアレイ基板上に形成して配向膜121を塗布し、通常のラビング

法で配向処理をすると、柱の高さが高い場合や大きさが大きい場合はラビング方向に対して川上側および川下側に配向不良部が生じやすくなる。図16はガラス基板上に十分な大きさのITO電極を形成し、その上にアクリル系樹脂を主成分とする樹脂を用いてスペーサ柱を形成したアレイ基板とガラス基板上に十分な大きさのITO電極を形成した対向基板とを本実施例と同様にセル化を行い、アレイ基板上のITO電極と対向基板上のITO電極間に電圧を印加してスペーサ柱周辺の液晶の配向不良領域を顕微鏡したものである。

【0082】スペーサ柱を中心にして周囲2~4μmに液晶の配向不良領域A82とラビング方向に対して川上および川下側に5~20μmに液晶の配向不良領域B85およびB86が観察された。

【0083】前記液晶の配向不良領域A82は液晶の配向が乱れて光透過率がアレイ基板上のITO電極と対向基板上のITO電極間の電圧に依らない制御不良となっているため黒表示の時でも光がほとんど透過してしまふ。また前記液晶の配向不良領域B85およびB86はアレイ基板上のITO電極と対向基板上のITO電極間の電圧と光透過率特性がスペーサ柱から十分離れた領域(配向の良い領域)での光透過率特性とわずかに異なっているもので、本発明者が評価した結果配向不良領域B85およびB86の光透過率特性は配向の良い領域と比較して約10%以上変動していることが確認された。

【0084】このような液晶の配向不良領域を生じさせるスペーサ柱81を実際のアレイ基板の画素上に配置した場合、スペーサ柱周辺部に前記液晶の配向不良領域A82が、ラビング方向に対してスペーサ柱の川上方向に前記液晶の配向不良領域B85が、また更にスペーサ柱周辺部近くで充分な電圧が掛からない領域では前記液晶の配向不良領域A82によって引き起こされる液晶の配向不良領域C84が生じる。前記液晶の配向不良領域C84は主にラビング方向に対してスペーサ柱の川下方向に発生する。なぜならこの領域では配向する液晶が不均一であるためである。前記液晶の配向不良領域C84は前記液晶の配向不良領域A82と同様に光透過率特性がアレイ基板上のITO電極と対向基板上のITO電極間の電圧に依らない制御不良となっている。

【0085】本実施例の液晶パネルはこの配向不良領域のうち、スペーサ柱81の周囲B82に液晶の配向不良領域A82が、ラビング方向に対してスペーサ柱の川上方向の領域B85に液晶の配向不良領域B86が、ラビング方向に対してスペーサ柱の川下方向である画素電極20の端の領域B83に液晶の配向不良領域C84が生じている。

【0086】本実施例の場合はこれら液晶の配向不良領域のうち配向不良領域Aである領域B82と、配向不良領域Cである領域B84とを遮光している。配向不良領域AとCは光透過率特性が制御不良の領域であり常に白表示となっているために遮光する必要があるが、配向不良領

면은光透過率特性が配向の良い領域より多少ずれていて、ただであるため透過しなくても良いがもちろん透光した方が望ましいことは言うまでもない。全体の画素開口面積に対して配向不良領域が十分小さくなるようにして完全に透光しなくてもほぼ目的は達成できる。しかし、スペーサ柱81の周囲82に液晶の配向不良領域Aが生じるためスペーサ柱81は、透光部に形成することが必要である。

【0087】図12に示した例では、スペーサ柱81は、信号線14に透光されている部分のうちで、TFTのゲート13の脇に設けられている。

【0088】また、このようなスペーサ柱は、画素サイズにもよるが、おおむね6~9画素に1個程度配置すればよい。したがって、図12においても、図中に1個のみのスペーサ柱を示した。

【0089】ここで、プロジェクタへの応用を考えた場合、直視用と異なり高視野角に対する要求は低いが、動画像を表示するための高応答性が要求される。一方、高解像度画素では画素ピッチが小さくなるために、スペーサ柱により発生する配向不良領域に起因する開口率の低下が生じやすい。したがって、 Δn 値の大きいTN液晶を用いてセル厚を薄くして高応答を達成するとともに従来の表示品位を達成することが望ましい。そこで、この実施例ではスペーサ柱81の高さを従来のTN液晶での50 μm よりも低い30~50 μm 程度とした。液晶の Δn 値としては、0.14のものを用いた。これにより、プロジェクタでの動作温度範囲40~50℃において、透過率を100%から90%まで低下させる応答時間として、15ms以下の応答時間を達成した。これは、従来の構造による液晶表示素子の応答時間である50msと比較して大規模な改善である。また、スペーサ柱81の高さを低く設定できるということによって、スペーサ柱81を形成しやすくなるとともに、ラビング時にスペーサ柱81が折れる問題や配向不良が発生するという問題も抑制することができるという利点も生ずる。

【0090】このようなスペーサ柱は、図1ないし図11に示したすべての液晶表示素子について設けることができる。そのスペーサ柱は、アレイ基板上の任意の位置に設けることができる。しかし、スペーサ柱の周辺に液晶分子の配向不良領域が生ずることを考慮すると、このようなスペーサ柱81は、アレイ基板上の信号配線部や透光層形成領域などの透光部に設けることが望ましい。

【0091】さらに、図5にスペーサ柱を形成した場合は、画素電極20の第1領域を対向基板28の透光部31で透光すれば、より光の漏れ防止が図られる。また、この図5の場合は、この対向基板28の透光部31により、スペーサ柱により生じる液晶分子の配向不良領域は透光される効果もある。

【0092】(実施形態8)次に、本発明による液晶表

示装置の実施形態8について説明する。

【0093】図14は、本発明による液晶表示装置の実施形態8を表す概略平面図である。また、図15は、図14におけるA-A'-A線で切斷して矢印方向から眺めた、概略断面図である。これらの図においては、図1または図2と同一の部分には、同一の符号を付して、説明を省略する。

【0094】図14に示した液晶表示装置80では、アレイ基板上で画素TFTのゲート電極近傍に、セル回路を制御するためのスペーサ柱81が形成されている。このスペーサ柱81は、画素電極20を形成した後に、例えば透明または不透明な有機材料で形成すればよい。本実施例ではアクリル系樹脂を主成分とする樹脂を用いて形成した。また、スペーサ柱形成には感光性の材料を用いた方が工程が強くなり有効である。さらに、いわゆるボツ型感光性材料よりも、ネガ型感光性材料の方が工程中のゴミの影響を受けにくいために望ましい。

【0095】第6の実施例で述べた様に、液晶分子の配向不良領域を小さくするためには、スペーサ柱81の高さを低くすることが望ましい。この液晶分子の配向不良領域は、配向膜121のラビング不良部分と液晶分子の配列を制御するに充分な電圧が加わらない部分との重なった部分であるので、配向膜121のラビング不良部分が小さくなれば必然的に小さくなる。スペーサ柱81の高さを低くすれば、配向膜121のラビング不良部分が小さくなり、結果として液晶分子の配向不良領域が小さくなる。

【0096】しかし、スペーサ柱81の高さは容易には変えることができないため、液晶分子の配向不良領域を大きくしないようにして最小限の透光領域内に納めないと、開口率の低下を招いてしまう。そこで、図14に示したスペーサ柱81は、通常のツイステッド・ネマチック液晶の45度ラビング配向方向の形状寸法が、他の方向へ例えば、その柱の対角方向よりも小さくなるような形状を用いている。その理由は、上記の配向不良部の発生メカニズムとしては、ラビング方向ではラビング布の毛足が配向処理を行うのであるが、スペーサ柱部の配向方向の川上または川下側はラビング処理が加されにくい部分が生じてしまうためである。

【0097】この配向処理が施されにくく生じる配向不良部の領域は、スペーサ柱のラビング配向方向の形状寸法に依存する。このため、例えば図14の柱を45度回転させて四角形の対角線方向に配向処理を行うと、図14の場合に比べて配向不良部の最大長さは、約ルート2(2の平方根)倍となり、ほぼ配向処理方向のスペーサ柱の形状寸法に比例する。そこで、スペーサ柱の平面形状としては図14の形状に限定されるものではなく、他の任意の形状でもよいが、配向方向の形状寸法が最小となるような形状で配置するようにすることで開口率低下を抑えることができる。例えば、スペーサ柱の短手端

度を向上する目的で長方形形状で底面積を大きくする場合でも長方形の短辺方向が配向方向となるようにすればよい。

【0098】一方、アレイ基板上には、もともと透光性材料により透光されており、また、その表面の凹凸の状態などから、もともと配向処理が不十分となりやすい部分がある。したがって、そのような、もともと配向処理が不十分である部分の上端側にスペーサ柱81を設ければ、スペーサ柱81を設けたことによって配向不良部を増加させることにはならない。ただし、このような傾斜は、透光されていることが望ましい。このように、もともと配向処理が不十分となりやすく、かつ、透光されている部分としては、例えば、画素コンタクト部が挙げられる。すなわち、図2(b)にも例示したように、画素コンタクト部では、TFTのドレイン電極上のアレイ基板の表面に深い凹部が形成されており、配向処理が不十分となりやすい。また、この画素コンタクト部は、ドレイン電極によって透光されている。

【0099】したがって、スペーサ柱81により生ずる配向不良部と、この画素コンタクト部とが重なるようにスペーサ柱を配置すると、新たに透光層を形成する必要がなくなる。このため、スペーサ柱81を画素コンタクト部のある画素電極の第1傾斜201に隣接すなわちその傾斜近傍の信号線上に配置するのが良い。

【0100】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に説明する効果を奏する。

【0101】まず、本発明によれば、液晶表示装置の各画素の高開口率化と高歩留化を同時に達成できる。すなわち、本発明による液晶表示装置は、TFTと補助電極を縦方向に形成し、TFTのドレイン部の画素電極とのコンタクト部を補助電極と一行上の画素行の走査線との間で画素の上部に配置することで画素コンタクト部の開口部に突出することなく、十分な補助電極が確保され、かつ、補助電極と走査線とのスペースを大きくとることができる。このような構成によって高開口率の画素を実現することができる。特に、本発明のこの構成は画素の縦横比が3:1のような縦型カラー表示用液晶表示装置に有効である。

【0102】また、本発明によれば、画素TFTは信号線の下に形成され、かつ、その信号線は画素TFTのゲート電極付近を透光するようにTFT上に傾斜に形成されている。このように、信号線によってTFTの活性層傾斜を透光することによって、光照射によるTFTのリーク電流の増加を避けることができる。

【0103】さらに、本発明によれば、TFTのドレイン傾斜は信号線方向に延長され、クランク状に屈伸し、画素の上部に位置するドレイン電極で終端している。この長いドレイン傾斜は、ゲート絶縁膜と同一の絶縁膜を介して、補助電極との間で補助電極を形成している。

このように、ドレイン傾斜を縦長の画素の縦方向に屈伸させ、補助電極を形成することによって、充分に大きい補助電極が得られる。

【0104】また、本発明によれば、画素電極は層間絶縁膜を介して補助電極、信号線および走査線と平面的に重ねられている。これは、開口率を大きくするために非常に有効である。さらに、場合によっては、画素TFTを形成したアレイ基板上の配線が透光層として機能するために、対向基板に透光層を形成する必要がなくなるという利点を有している。したがって、液晶セルを組み立てる際に、合わせ精度の不足による開口率低下が生じていたが、本発明によればそのような問題も生じなくなる。

【0105】さらに、アレイ基板上に透光層を形成した液晶表示装置の光入射側にHfO₂やマイクロレンズ等を配置する場合は、アレイ基板上に形成された透光材料で囲まれた開口部に対して位置合わせをすればよく、光の損失や色度の劣化も生じないという利点がある。さらに、HfO₂やマイクロレンズを用いてカラーフィルタを用いずにカラー表示を行う方式では、それらの焦点距離との関係から、画素ピッチがますます小さくなり高精細化するほど、対向基板厚を薄くする必要が生じる。

【0106】したがって、対向基板の機械的強度が充分でなく、液晶セルを形成することや、そのような薄い対向基板に対して従来のように透光層パターンニングを施すことが困難になる。しかし、本発明によれば、上記のように対向基板に透光層を形成する必要がなくなる。したがって、本発明によれば、HfO₂やマイクロレンズに對向電極付きの薄い対向基板を張り合わせるか、または薄い対向基板を張り合わせたのちに對向電極を形成して、上記アレイ基板と張り合わせて液晶セルを形成することができるようになるという利点も生じる。

【0107】更に、本発明の実施態様によれば、スペーサ柱により生じる液晶分子の配向不良傾斜を透光部に形成する為、表示不良が低減される。

【0108】また、本発明によれば、ホログラム光学素子やマイクロレンズ等の光学素子を一体形成することも容易である液晶表示装置を提供することができる。すなわち、n行の画素のドレイン電極と補助電極は、n行の画素の上部に寄せて配置されている。このような配置にすることにより、画素の開口部に従来のような突出した透光部が形成されず、略長方形の均一な形状を有する開口が得られる。したがって、HfO₂と組み合わせた場合、光スペクトル分布のR、G、B成分のみを効率良く開口部に受けることができ、色純度も顕著に改善する。

【0109】すなわち、本発明によれば、開口率が高く、高歩留が可成で、補助電極も高く、高い歩留まりで製造することのできる液晶表示装置を提供することができるようになり、産業上の効果は多大である。

【図面の簡単な説明】

- 【図1】本発明による液晶表示装置の実施形態1の概略平面図である。
 【図2】(a)は図1のA-A'-A'線に沿う断面図、(b)はB-B'-B'線に沿う断面図である。
 【図3】実施形態1の液晶表示装置の平面図である。
 【図4】本発明による実施形態2を表す概略平面図である。
 【図5】図4のA-A'-A'線で切断して矢印方向から眺めた断面図である。
 【図6】本発明による実施形態3を表す概略平面図である。
 【図7】図6のA-A'-A'線で切断して矢印方向から眺めた断面図である。
 【図8】本発明による液晶表示装置の実施形態4を表す概略断面図である。
 【図9】本発明による液晶表示装置の実施形態4を表す平面図である。
 【図10】本発明による液晶表示装置の実施形態5を表す概略断面図である。
 【図11】本発明による液晶表示装置の実施形態6を表す概略断面図である。
 【図12】本発明による液晶表示装置の実施形態7を表す概略平面図である。
 【図13】図12におけるA-A'-A'線で切断して矢印方向から眺めた、概略断面図である。
 【図14】本発明による液晶表示装置の実施形態8を表す概略平面図である。
 【図15】図14におけるA-A'-A'線で切断して矢印方向から眺めた、概略断面図である。
 【図16】スペース柱による液晶の配向不良領域を調べた断面図である。
 【図17】H.O.Eを用いた液晶表示装置の動作原理を表した概略斜視図である。
 【図18】画素の縦横比が概ね1:1であるような、従来の液晶表示装置のアレイ基板の一例を示す平面図である。

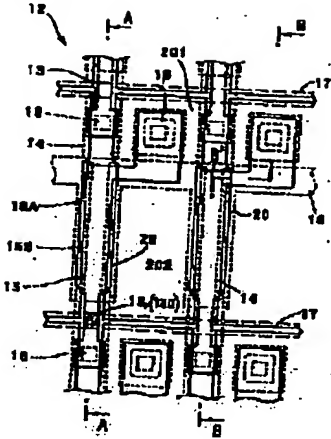
【符号の説明】

- 10、30、40、50、60、70、80 液晶表示装置
 1:1 ガラス基板
 1:2 アレイ基板
 1:3 ゲート
 1:4 信号線
 1:5 ポリシリコナイト
 1:6 ソース・コンタクト

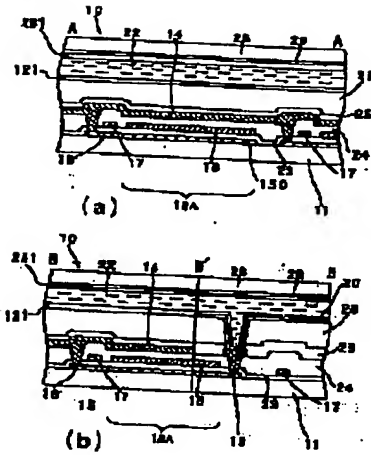
- 17 電圧線
 18 補助容量線
 18A 補助容量部
 19 ドレイン・コンタクト
 20、20a 画素電極
 22 液晶
 23 ゲート絶縁膜
 24 第1層間絶縁膜
 25 第2層間絶縁膜
 26 第3層間絶縁膜
 28、28a 封向基板
 29 封向電極
 31 封向基板透光部
 41、51、61、71 遮光層
 42、62、72、73 コンタクトホール部
 52 シール剤
 53 駆動回路部
 81 スペース柱
 82 液晶の配向不良領域A
 83 ラビング方向
 84 液晶の配向不良領域C
 85 液晶の配向不良領域B(ラビング方向の川上側)
 86 液晶の配向不良領域B(ラビング方向の川下側)
 1:02 ホログラム光学素子
 1:03 白色平行光
 1:04 液晶表示装置
 1:05 アレイ基板
 1:06 封向基板
 1:07 R用開口
 1:08 G用開口
 1:09 B用開口
 1:10、1:15 R光
 1:11、1:16 G光
 1:12、1:17 B光
 1:30A、1:30B ゲート部
 1:31 ポリシリコン層
 1:32 補助容量部
 1:33 ソースコンタクト
 1:34 信号線
 1:35 補助容量線
 1:37A、1:37B 画素電極
 1:39A、1:39B 電圧線
 1:40A、1:40B 画素電極コンタクト
 1:50 半導体領域
 2:01、2:02 画素電極領域

[첨부그림 13]

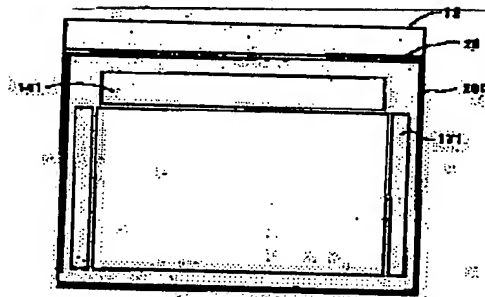
【圖 1】



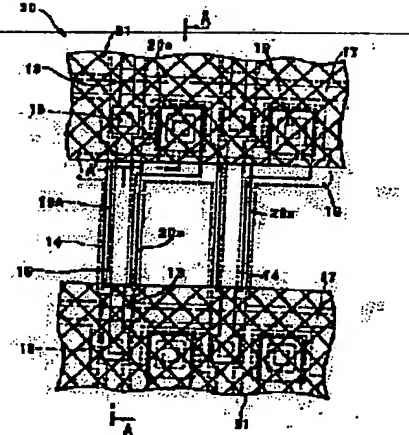
【圖 2】

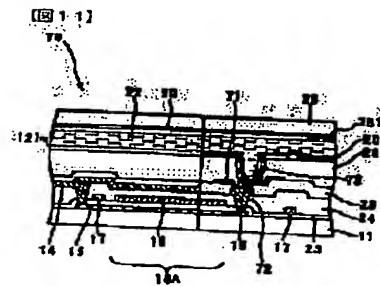
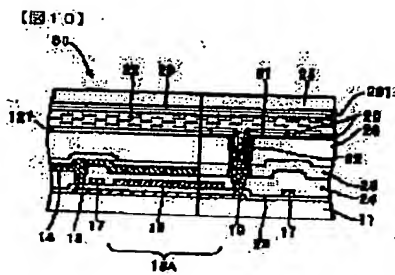
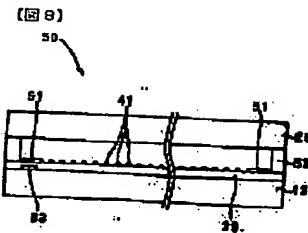
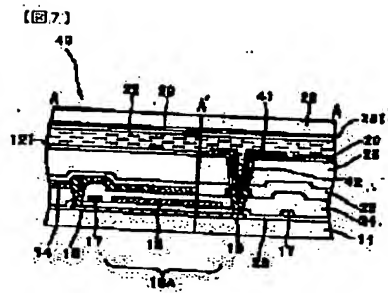
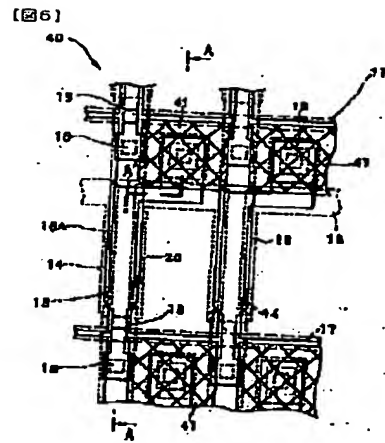
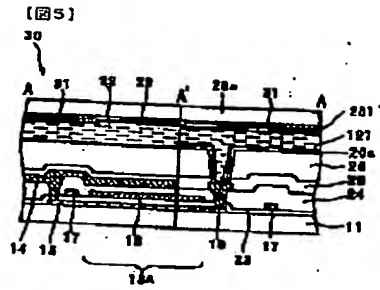


【圖 3】



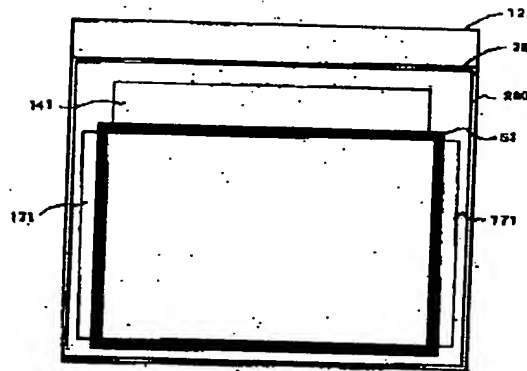
【圖 4】



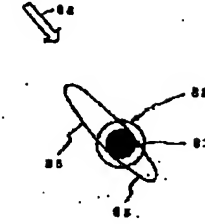


[첨부그림 15]

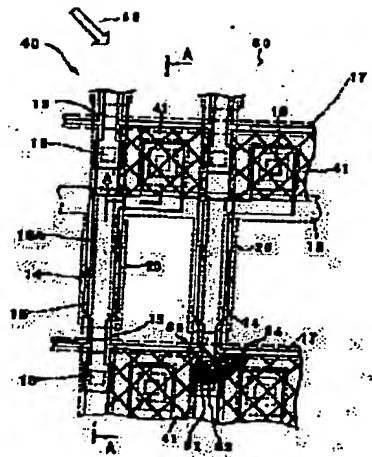
[圖 9]



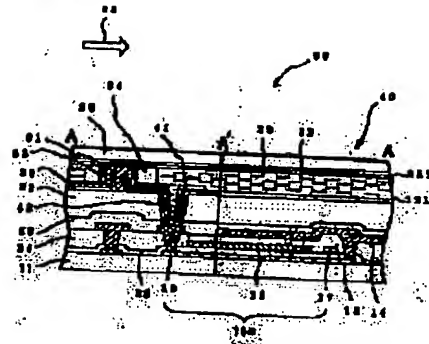
[圖 15]



[圖 12]

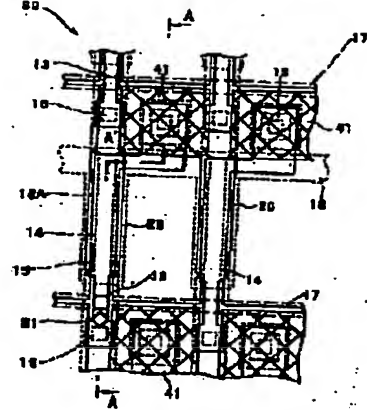


[圖 13]

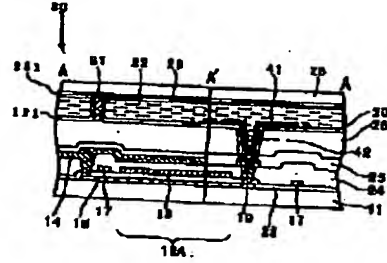


[첨부그림 16]

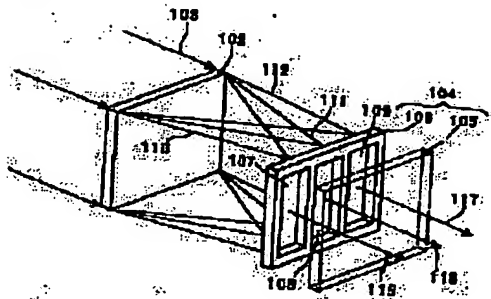
[圖 14]



[圖 15]

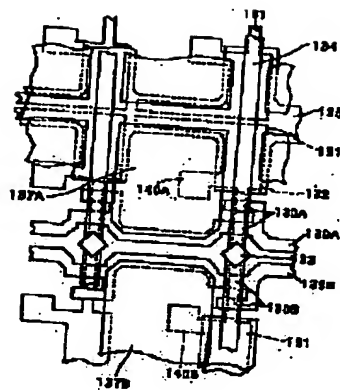


[圖 17]



[첨부그림 17]

【附 18】



フロントページの続き

(51) Int. Cl. B

識別記号

F I
H O 1 L 29/78

512C